

Министерство науки и высшего образования Российской Федерации
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ (НИ ТГУ)

Радиофизический факультет

УТВЕРЖДАЮ:
Декан

__А. Г. Кортаев

Рабочая программа дисциплины

ПЛИС технологии в радиофизике

по направлению подготовки

03.03.03 Радиофизика

Направленность (профиль) подготовки :
Радиофизика, электроника и информационные системы

Форма обучения
Очная

Квалификация
Бакалавр

Год приема
2025

Код дисциплины в учебном плане: Б1.В.ДВ.04.01.02

СОГЛАСОВАНО:
Руководитель ОП
М.Л. Громов

Председатель УМК
А.П. Коханенко

Томск – 2025

1. Цель и планируемые результаты освоения дисциплины

Целью освоения дисциплины является формирование следующих компетенций:

ОПК-3 Способен понимать принципы работы современных информационных технологий и использовать их для решения задач профессиональной деятельности..

ПК-2 Способен проводить математическое моделирование процессов в приборах и устройствах радиофизики и электроники, владеть современными отечественными и зарубежными пакетами программ при решении профессиональных задач..

Результатами освоения дисциплины являются следующие индикаторы достижения компетенций:

ИОПК 3.1 Использует современные информационные технологии и программные средства при решении задач профессиональной деятельности.

ИОПК 3.2 Соблюдает требования информационной безопасности при использовании современных информационных технологий и программного обеспечения.

ИПК 2.1 Понимает принцип действия и модели разрабатываемого радиоэлектронного прибора или устройства.

ИПК 2.2 Применяет в профессиональной деятельности различные численные методы, в том числе реализованные в готовых библиотеках при решении конкретных радиофизических задач.

ИПК 2.3 Владеет современными пакетами программ при решении задач в области радиофизики и радиоэлектроники.

2. Задачи освоения дисциплины

– Обучить студентов методам разработки цифровых устройств обработки сигналов на базе перепрограммируемых логических интегральных схем.

3. Место дисциплины в структуре образовательной программы

Дисциплина относится к Блоку 1 «Дисциплина (модули)».

Дисциплина относится к части образовательной программы, формируемой участниками образовательных отношений, предлагается обучающимся на выбор. Дисциплина входит в модуль Модуль «Радиоволновая томография».

4. Семестр(ы) освоения и форма(ы) промежуточной аттестации по дисциплине

Пятый семестр, экзамен

5. Входные требования для освоения дисциплины

Для успешного освоения дисциплины требуются результаты обучения по следующим дисциплинам: «Математический анализ», «Физика», «Радиоэлектроника».

6. Язык реализации

Русский

7. Объем дисциплины

Общая трудоемкость дисциплины составляет 4 з.е., 144 часов, из которых:

-лекции: 34 ч.

-практические занятия: 34 ч.

Объем самостоятельной работы студента определен учебным планом.

8. Содержание дисциплины, структурированное по темам

Тема 1. Введение. Архитектура ПЛИС FPGA-типа

Общее представление об архитектуре перепрограммируемых интегральных схем FPGA-типа. Простейшие логические элементы И (AND), ИЛИ (OR), НЕ (NOT), D-триггер (D flip-flop), сдвиговый регистр (shift register), защелка (D-latch), мультиплексор (MUX), генератор функций (LUT, Look Up Table). Основные структурные единицы FPGA-микросхемы: Logic Cell, Slice, configurable logic block (CLB), блочная и распределенная память, умножители, блоки ввода-вывода, краткое описание стандарта JTAG.

Тема 2. Основы языка описания цифровой аппаратуры VHDL

Основные типы данных языка VHDL, управляющие конструкции, описание комбинаторной логики, процессы и параллелизм вычислений, структурное описание разрабатываемого устройства, компоненты, их объявление и имплементация. Особенности описания тестирующего окружения на языке VHDL. Создание TestBench.

Тема 3. Основные этапы имплементации устройства в среде Xilinx ISE

Обзор средств, предоставляемых средой автоматизированного проектирования Xilinx ISE. Создание проекта и его настройка, добавление VHDL-описания устройства в проект, функциональное моделирование, анализ временных диаграмм работы устройства. Знакомство с инструментами Architecture Wizard и PlanAhead. Процедура добавления в проект готовых блоков IP Core, привязка портов разрабатываемого устройства к выводам FPGA-микросхемы, генерация кода и программирование FPGA-микросхемы. Задание временных ограничений. Процедура задания требований к скорости прохождения сигналов по тем или иным цепям создаваемого устройства, оценка производительности создаваемого устройства. Параметры синтеза. Изменение параметров процедуры синтеза и оценка их влияния на производительность и ресурсоемкость создаваемого устройства. Знакомство с инструментом Core Generator System.

Тема 4. Моделирование цифровых устройств в среде MatLab/Simulink

Общее представление о пакете MatLab. Основные команды и типы данных языка MatLab. Краткое введение в среду моделирования динамических систем Simulink. Описание Simulink HDL Coder. Цифровой фильтр. Создание и настройка модели цифрового фильтра. Генерация входного сигнала и анализ реакции фильтра. Генерация и анализ VHDL-описания цифрового фильтра. Работа с битами. Создание и настройка модели анализатора значений определенных битов в битовом потоке. Генерация входного сигнала и анализ реакции анализатора. Генерация и анализ VHDL-описания битового анализатора. Преобразователь параллельного кода в последовательный. Создание и настройка модели преобразователя. Генерация входного сигнала и анализ реакции преобразователя. Генерация и анализ VHDL-описания преобразователя. Регистр с управляющим входом. Различные модификации счетчиков.

Тема 5. Работа с периферийными устройствами платы Spartan 3 Starter Kit

Основные этапы разработки устройства ввода-вывода. Описание архитектуры и функциональности основных блоков устройства, обеспечивающего ввод двоичного представления 8-ми разрядного числа и отображение его десятичного представления на 4-х позиционном индикаторе, имеющемся на плате Spartan 3 Starter Kit

9. Текущий контроль по дисциплине

Текущий контроль по дисциплине проводится путем контроля посещаемости, проведения контрольных работ, тестов по лекционному материалу, выполнения домашних заданий и фиксируется в форме контрольной точки не менее одного раза в семестр.

10. Порядок проведения и критерии оценивания промежуточной аттестации

Экзамен в пятом семестре проводится в письменной форме по билетам. Экзаменационный билет состоит из двух частей. Продолжительность экзамена 1,5 часа.

Первая часть представляет собой теоретический вопрос, проверяющий ИОПК 3.1, ИОПК 3.2, ИПК 2.1.

Вторая часть содержит одну задачу, проверяющую ИПК-2.2 и ИПК-2.3.

Примерный перечень теоретических вопросов

1. Основные типы данных языка VHDL.
2. Синтезируемые и не синтезируемые конструкции языка VHDL.
3. Что такое Slice?
4. Как «привязать» порты устройства к выводам FPGA-микросхемы?
5. Что такое DCM?
6. Что такое конкурентное присваивание?
7. Синтаксис объявления сигнала на языке VHDL?
8. Синтаксис объявления компонента на языке VHDL?
9. Синтаксис объявления переменной на языке VHDL?
10. Когда происходит присвоение значений сигналам в теле процесса?
11. Синтаксис описания процесса на языке VHDL?
12. Синтаксис описания Testbench на языке VHDL?
13. Основные этапы генерации и загрузки кода в FPGA-микросхему в среде Xilinx ISE.
14. Структура пакета при передаче данных по интерфейсу UART.
15. Основные этапы создания VHDL-описания цифрового устройства в среде MatLab/Simulink.
16. Блок-схема цифрового фильтра.
17. Числа с фиксированной точкой.
18. Блок-схема кольцевого буфера на 128 8-разрядных ячеек.
19. Блок-схема преобразователя последовательного кода в параллельный.
20. Блок-схема преобразователя параллельного кода в последовательный.
21. Блок-схема регистра, управляемого сигналом Enable.
22. Блок-схема счетчика, управляемого сигналом Enable.
23. Сигналы, используемые для управления цифровым 4-позиционным индикатором платы Spartan 3 S200.
24. Блок-схема устройства для вывода целых положительных чисел на 4-позиционный цифровой индикатор платы Spartan 3 S200.
25. Блок-схема устройства для вывода целых чисел на 4-позиционный цифровой индикатор платы Spartan 3 S200.

Задача 1

Создать проект в среде Xilinx ISE, выполнить его настройку, произвести функциональное моделирование устройства

Задача 2

Выполнить настройку синтеза и имплементации, произвести загрузку кода в FPGA-микросхему

Задача 3

Добавить в готовый проект в среде Xilinx ISE компонент Digital Clock Manager, используя средства IP Core Generator

Задача 4

Провести анализ производительности и ресурсоемкости разработанного устройства, используя отчеты среды Xilinx ISE.

Задача 5

Произвести привязку портов разработанного устройства к конкретным контактам FPGA-микросхемы.

Задача 6

Выполнить настройку модели в среде Simulink для генерации VHDL-описания моделируемого устройства.

Задача 7

Разработать модель счетчика, управляемого внешним сигналом Enable

Задача 8

Разработать модель регистра, управляемого внешним сигналом Enable.

Задача 9

Разработать модель преобразователя последовательного кода в параллельный.

Задача 10

Разработать модель преобразователя параллельного кода в последовательный.

Задача 11

Разработать модель цифрового фильтра с симметричной импульсной характеристикой длиной 8 отсчетов.

Задача 12

Разработать модель фильтра скользящего среднего для одноразрядного сигнала.

Задача 13

Разработать модель кольцевого буфера на 128 10-разрядных ячеек.

Результаты экзамена определяются оценками «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Оценка «неудовлетворительно» ставится, если обучающийся не имеет представления об архитектуре перепрограммируемых микросхем FPGA-типа, не имеет представления о системе моделирования динамических систем MatLab/Similink, не имеет представления о средствах, предоставляемых средой автоматизированного проектирования Xilinx, для создания цифровых устройств обработки сигналов на базе ПЛИС типа FPGA.

Оценка «удовлетворительно» ставится, если обучающийся имеет общее представление об архитектуре перепрограммируемых микросхем FPGA-типа, имеет представление о системе моделирования динамических систем MatLab/Similink, но испытывает затруднения при создании модели цифрового устройства, имеет представление о средствах, предоставляемых средой автоматизированного проектирования Xilinx, для создания цифровых устройств обработки сигналов на базе ПЛИС типа FPGA.

Оценка «хорошо» ставится, если обучающийся допускает отдельные неточности в описании архитектуры перепрограммируемых микросхем FPGA-типа, в целом успешно, но с отдельными пробелами, выполняет создание модели цифрового устройства, в целом успешно, но с отдельными проблемами выполняет основные этапы создания цифровых устройств обработки сигналов на базе ПЛИС типа FPGA.

Оценка «отлично» ставится, если обучающийся имеет полное представление об архитектуре перепрограммируемых микросхем FPGA-типа, может использовать особенности архитектуры перепрограммируемых микросхем FPGA-типа при разработке цифровых устройств обработки сигналов, уверенно создает модель цифрового устройства, умеет анализировать и корректировать сгенерированный по модели HDL-код, уверенно выполняет все этапы создания цифровых устройств обработки сигналов на базе ПЛИС типа FPGA, выполняет функциональную симуляцию работы устройства и анализ ее результатов.

11. Учебно-методическое обеспечение

- а) Электронный учебный курс по дисциплине в электронном университете «Moodle» - <https://moodle.tsu.ru/course/view.php?id=00000>
- б) Оценочные материалы текущего контроля и промежуточной аттестации по дисциплине.
- в) План практических занятий по дисциплине.
- г) Методические указания по организации самостоятельной работы студентов.

12. Перечень учебной литературы и ресурсов сети Интернет

- Пономарев О.Г. ПЛИС-технологии в радиофизике. Уч.-метод. пособие. – Томск: Томский государственный университет, 2009. – 46 с.
- Пономарев О.Г. ПЛИС-технологии в радиофизике. Лабораторный практикум. Уч.-метод. пособие. – Томск: Томский государственный университет, 2011. – 72 с..
- Пономарев О.Г. Разработка и моделирование цифровых устройств средствами MatLab/Simulink. Уч.-метод. пособие. – Томск: Томский государственный университет, 2013. – 52 с.
- б) дополнительная литература:
 - Суворова Е.А., Шейнин Ю.Е. Проектирование цифровых систем на VHDL. – Санкт-Петербург: «БХВ-Петербург», 2003г. – 565 с.
 - Ashenden P. J. The VHDL Cookbook. – Dept. Computer Science University of Adelaide, 1990. – 110 p.
 - Perry D. L. VHDL: Programming by Example. – McGraw-Hill, 2002. – 478 p.
- в) ресурсы сети Интернет:
 - VHDL с нуля. [Электронный ресурс]. URL: <http://we.easyelectronics.ru/plis/vhdl-s-nulya.html>.
 - Учебник языка описания аппаратуры VHDL. [Электронный ресурс]. URL: <http://vunivere.ru/work19695>.
 - Что такое VHDL. Простейший пример создания логического элемента в ПЛИС. [Электронный ресурс]. URL: <http://we.easyelectronics.ru/plis/chto-takoe-vhdl-prosteyshiy-primer-sozdaniya-logicheskogo-elementa-v-plis.html>.

13. Перечень информационных технологий

- а) лицензионное и свободно распространяемое программное обеспечение:
 - Система автоматизированного проектирования Xilinx ISE (в свободном доступе)
 - Среда для выполнения научных расчетов MathWorks MatLab R2011a (License No: 700021)
 - пакеты расширения MathWorks MatLab: MathWorks Simulink, MathWorks FixedPoint Toolbox, Simulink FixedPoint Blockset, Simulink HDL Coder (License No: 700021).
- б) информационные справочные системы:
 - Электронный каталог Научной библиотеки ТГУ – <http://chamo.lib.tsu.ru/search/query?locale=ru&theme=system>
 - Электронная библиотека (репозиторий) ТГУ – <http://vital.lib.tsu.ru/vital/access/manager/Index>
 - ЭБС Лань – <http://e.lanbook.com/>
 - ЭБС Консультант студента – <http://www.studentlibrary.ru/>
 - Образовательная платформа Юрайт – <https://urait.ru/>

- ЭБС ZNANIUM.com – <https://znanium.com/>
- ЭБС IPRbooks – <http://www.iprbookshop.ru/>

в) профессиональные базы данных (*при наличии*):

- Университетская информационная система РОССИЯ – <https://uisrussia.msu.ru/>
- Единая межведомственная информационно-статистическая система (ЕМИСС) – <https://www.fedstat.ru/>

14. Материально-техническое обеспечение

Аудитории для проведения занятий лекционного типа.

Аудитории для проведения индивидуальных и групповых консультаций, текущего контроля и промежуточной аттестации.

Помещения для самостоятельной работы, оснащенные компьютерной техникой и доступом к сети Интернет, в электронную информационно-образовательную среду и к информационным справочным системам.

Лаборатория, в которой имеется маркерная доска, мультимедийный проектор с экраном, 6 компьютерных рабочих мест, оборудованных необходимым программным обеспечением (Xilinx ISE, MathWorks MatLab R2011a с пакетами расширения), 6 плат Digilent Spartan 3 Starter Kit, содержащие перепрограммируемые микросхемы Xilinx Spartan 3S200, 6 плат LogiFind AX309 Xilinx Spartan-6 Development Board, содержащих перепрограммируемые микросхемы Xilinx Spartan 6 LX9, необходимый набор кабелей для подключения плат к компьютеризированным рабочим местам.

15. Информация о разработчиках

Пономарев Олег Геннадьевич, канд. физ.-мат. наук, доцент кафедры радиофизики НИ ТГУ