

Министерство науки и высшего образования Российской Федерации
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ (НИ ТГУ)

Институт прикладной математики и компьютерных наук

УТВЕРЖДЕНО:

Директор

А. В. Замятин

Оценочные материалы по дисциплине

Архитектура вычислительных систем

по направлению подготовки

02.03.02 Фундаментальная информатика и информационные технологии

Направленность (профиль) подготовки:

Искусственный интеллект и разработка программных продуктов

Форма обучения

Очная

Квалификация

Бакалавр

Год приема

2025

СОГЛАСОВАНО:

Руководитель ОП

А.В. Замятин

Председатель УМК

С.П. Сущенко

Томск – 2025

1. Компетенции и индикаторы их достижения, проверяемые данными оценочными материалами

Целью освоения дисциплины является формирование следующих компетенций:

ОПК-2. Способен применять компьютерные/суперкомпьютерные методы, современное программное обеспечение, в том числе отечественного происхождения, для решения задач профессиональной деятельности.

ОПК-6. Способен понимать принципы работы современных информационных технологий и использовать их для решения задач профессиональной деятельности.

Результатами освоения дисциплины являются следующие индикаторы достижения компетенций:

ИОПК-2.1. Обладает необходимыми знаниями основных концепций современных вычислительных систем.

ИОПК-6.1. Обладает необходимыми знаниями в области информационных технологий, в том числе понимает принципы их работы.

ИОПК-6.2. Применяет знания, полученные в области информационных технологий, при решении задач профессиональной деятельности.

ИОПК-6.3. Использует современные информационные технологии на всех этапах разработки программных систем.

2. Оценочные материалы текущего контроля и критерии оценивания

Элементы текущего контроля:

Контрольная работа (ОПК-2, ОПК-6, ИОПК-2.1, ИОПК-6.1, ИОПК-6.2, ИОПК-6.3)

Контрольная работа состоит из 2 теоретических вопросов.

Перечень теоретических вопросов:

1. Зависимость операционных характеристик процессорного конвейера от количества фаз, накладных расходов конвейеризации, размера приложения.
2. Связь источников параллелизма с архитектурой вычислителя.
3. Влияние неоднородности процессорного конвейера и потока обрабатываемых команд на скорость выполнения приложения.
4. Сравнение параллельных и последовательных шинных интерфейсов.
5. Направления ускорения доступа к оперативной памяти.
6. Структура множественного ассоциативного кэша, назначение полей строки кэш-памяти.
7. Факторы, определяющие быстродействие иерархической памяти.
8. Сравнение стратегий вытеснения блоков кэш-памяти.
9. Сравнение характеристик HDD- и SSD-дисков.
10. Сравнение моделей состоятельности иерархической памяти.

Критерии оценивания:

Результаты контрольной работы определяются оценками «зачтено», «незачтено».

Оценка «зачтено» выставляется, если даны правильные ответы на теоретические вопросы.

Оценка «не зачтено» выставляется, если при ответе на вопросы допущено более трех ошибок.

3. Оценочные материалы итогового контроля (промежуточной аттестации) и критерии оценивания

Экзаменационный билет состоит из двух частей.

Первая часть представляет собой теоретический вопрос, проверяющий ОПК-2: ИОПК-2.1.

Вторая часть содержит теоретический вопрос, проверяющий ОПК-6: ИОПК-6.1, ИОПК-6.2, ИОПК-6.3.

Перечень теоретических вопросов:

1. Классификация ВС по Флинну.
2. Особенности построения CISC архитектуры.
3. Особенности построения RISC архитектуры.
4. Конвейеризация, фазы классического конвейера.
5. Зависимость длины конвейера и тактовой частоты процессора.
6. Явления, оказывающие негативное влияние на конвейеризацию.
7. Суперконвейеризация, гиперконвейеризация.
8. Суперскалярная архитектура и методы ее построения.
9. Методы предсказания ветвлений.
10. Предикативное и спекулятивное исполнение инструкций.
11. Переименование регистров.
12. Обход и продвижение данных.
13. Неупорядоченное исполнение.
14. Аппаратный скаутинг.
15. Аппаратная оптимизация циклов.
16. Многоядерность. Определение, виды, архитектурные свойства.
17. Гетерогенные многоядерные процессоры на примере Cell BE.
18. Классификация параллелизма: параллелизм на уровне инструкций и потоков. Причины введения многопоточности.
19. Многопоточность одновременная.
20. Многопоточность попеременная с точным делением времени.
21. Многопоточность попеременная с неточным делением времени.
22. SMP системы.
23. CC-NUMA системы.
24. MPP системы.
25. КЭШ память прямой (сквозной) и отложенной (обратной) записи.
26. Раздельная и совместная (с точки зрения инструкций и данных) КЭШ память.
27. Включающий и исключающий методы построения КЭШ памяти.
28. Факторы, влияющие на выбор размера КЭШ памяти процессоров и ядер.
29. КЭШ прямого отображения.
30. Полностью ассоциативный КЭШ.
31. Множественно ассоциативный КЭШ.
32. Механизмы обеспечения когерентности КЭШ памяти, протокол MESI.
33. Механизмы обеспечения когерентности КЭШ памяти, протокол MOESI.
34. Механизмы обеспечения когерентности КЭШ памяти, протокол MESIF.
35. Организация оперативной памяти и методы адресации элементов (CAS, RAS).
36. Синхронный и асинхронный принципы работы оперативной памяти.
37. SDR, DDR, DDR2, DDR3 память.
38. Регистровая и буферизируемая память (registered DIMM, FB-DIMM).
39. Методы обеспечения отказоустойчивости оперативной памяти.
40. Физическая организация дисковой памяти.
41. Физическая и логическая адресация дисковой памяти.

42. Методы обеспечения отказоустойчивости физической памяти, уровни RAID.
43. Классификация шин по логическим и физическим топологиям.
44. Классификация шин по функциональному назначению.
45. Системные шины.
46. Шины ввода/вывода.
47. Периферийные шины.
48. Виртуализация: определение и методы.
49. Аппаратная виртуализация.
50. Виртуализация средствами ОС.
51. Виртуализация средствами гипервизоров.
52. Виртуализация серверных групп и ЦОД с использованием решения vSphere от компании VM-ware.

Критерии оценивания:

Результаты зачета определяются оценками «зачтено» и «не зачтено».

Оценка «зачтено» выставляется, если даны правильные ответы на все теоретические вопросы.

Оценка «не зачтено» выставляется, если при ответе на вопросы допущено более трети ошибок.

4. Оценочные материалы для проверки остаточных знаний (сформированности компетенций)

Теоретические вопросы (ОПК-2, ОПК-6, ИОПК-2.1, ИОПК-6.1, ИОПК-6.2, ИОПК-6.3):

1. Классификация ВС по Флинну.
2. Особенности построения CISC архитектуры.
3. Особенности построения RISC архитектуры.
4. Конвейеризация, фазы классического конвейера.
5. Зависимость длины конвейера и тактовой частоты процессора.
6. Явления, оказывающие негативное влияние на конвейеризацию.
7. Суперскалярная архитектура и методы ее построения.
8. Методы предсказания ветвлений.
9. Предикативное и спекулятивное исполнение инструкций.
10. Переименование регистров.
11. Обход и продвижение данных.
12. Неупорядоченное исполнение.
13. Многоядерность. Определение, виды, архитектурные свойства.
14. Классификация параллелизма: параллелизм на уровне инструкций и потоков. Причины введения многопоточности.
15. SMP системы.
16. CC-NUMA системы.
17. MPP системы.
18. КЭШ-память прямой (сквозной) и отложенной (обратной) записи.
19. Раздельная и совместная (с точки зрения инструкций и данных) КЭШ-память.
20. Включающий и исключающий методы построения КЭШ-памяти.
21. Факторы, влияющие на выбор размера КЭШ-памяти процессоров и ядер.
22. КЭШ прямого отображения.
23. Полностью ассоциативный КЭШ.
24. Множественно ассоциативный КЭШ.
25. Механизмы обеспечения когерентности КЭШ памяти, протокол MESI.
26. Организация оперативной памяти и методы адресации элементов (CAS, RAS).
27. Синхронный и асинхронный принципы работы оперативной памяти.

28. Методы обеспечения отказоустойчивости оперативной памяти.
29. Физическая организация дисковой памяти.
30. Физическая и логическая адресация дисковой памяти.
31. Методы обеспечения отказоустойчивости дисковой памяти, уровни RAID.
32. Классификация шин по логическим и физическим топологиям.
33. Классификация шин по функциональному назначению.
34. Системные шины.
35. Шины ввода/вывода.
36. Периферийные шины.
37. Виртуализация: определение и методы.
38. Аппаратная виртуализация.
39. Виртуализация средствами ОС.
40. Зависимость операционных характеристик процессорного конвейера от количества фаз, накладных расходов конвейеризации, размера приложения.
41. Связь источников параллелизма с архитектурой вычислителя.
42. Влияние неоднородности процессорного конвейера и потока обрабатываемых команд на скорость выполнения приложения.
43. Сравнение параллельных и последовательных шинных интерфейсов.
44. Направления ускорения доступа к оперативной памяти.
45. Структура множественного ассоциативного кэша, назначение полей строки кэш-памяти.
46. Факторы, определяющие быстродействие иерархической памяти.
47. Сравнение стратегий вытеснения блоков кэш-памяти.
48. Сравнение характеристик HDD- и SSD-дисков.

Информация о разработчиках

Сущенко Сергей Петрович, д-р техн. наук, профессор, ИПМКН, заведующий кафедрой