

Министерство науки и высшего образования Российской Федерации
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ (НИ ТГУ)

Радиофизический факультет

УТВЕРЖДЕНО:

Декан

А. Г. Коротаев

Оценочные материалы по дисциплине

ПЛИС-технологии*FPGA technologies

по направлению подготовки

12.04.03 Фотоника и оптоинформатика

Направленность (профиль) подготовки:

Приборы и устройства нанопотоники

Форма обучения

Очная

Квалификация

Магистр

Год приема

2025

СОГЛАСОВАНО:

Руководитель ОП

А.П. Коханенко

Председатель УМК

А.П. Коханенко

Томск – 2025

1. Компетенции и индикаторы их достижения, проверяемые данными оценочными материалами

Целью освоения дисциплины является формирование следующих компетенций:

ОПК-3 Способен приобретать и использовать новые знания в своей предметной области на основе информационных систем и технологий, предлагать новые идеи и подходы к решению инженерных задач.

ПК-2 Способность к построению математических моделей объектов исследования и выбору численного метода их моделирования, разработке нового или выбору готового алгоритма решения задачи.

УК-2 Способен управлять проектом на всех этапах его жизненного цикла.

Результатами освоения дисциплины являются следующие индикаторы достижения компетенций:

ИОПК 3.2 Предлагает новые идеи и подходы к решению инженерных задач с использованием информационных систем и технологий

ИПК 2.1 Способность к построению математических моделей объектов исследования и выбору численного метода их моделирования, разработке нового или выбор готового алгоритма решения задачи

ИПК 2.2 Определяет выходные параметры и функции разрабатываемой оптической системы связи, которые должны быть определены в результате моделирования его функционирования на основе физических процессов и явлений

ИПК 2.3 Проводит компьютерное моделирование функционирования оптико-электронных приборов на основе физических процессов и явлений

ИУК 2.2 Разрабатывает программу действий по решению задач проекта с учетом имеющихся ресурсов и ограничений

ИУК 2.3 Обеспечивает выполнение проекта в соответствии с установленными целями, сроками и затратами

2. Оценочные материалы текущего контроля и критерии оценивания

Элементы текущего контроля:

– устные опросы.

Устный опрос (ИОПК 3.2, ИПК 2.1, ИПК 2.2)

Устный опрос состоит из 3 теоретических вопросов.

1. Архитектура перепрограммируемых интегральных схем FPGA-типа
2. Основные типы данных языка VHDL, управляющие конструкции, описание комбинаторной логики, процессы и параллелизм вычислений
3. Структурное описание разрабатываемого устройства, компоненты, их объявление и имплементация
4. Особенности описания тестирующего окружения на языке VHDL. Создание TestBench
5. Инструменты разработки для FPGA фирмы Xilinx
6. Создание проекта и его настройка, добавление VHDL-описания устройства в проект
7. Привязка портов разрабатываемого устройства к выводам FPGA-микросхемы, генерация кода и программирование FPGA-микросхемы
8. Задание временных ограничений
9. Параметры синтеза
10. Среда моделирования динамических систем Simulink. Описание Simulink HDL Coder.
11. Цифровой фильтр
12. Преобразователь параллельного кода в последовательный
13. Регистр с управляющим входом.
14. Различные модификации счетчиков

Критерии оценивания:

Результаты устного опроса определяются оценками «отлично», «хорошо», «удовлетворительно», «неудовлетворительно».

Оценка «отлично» выставляется, если даны правильные ответы на все теоретические вопросы.

Оценка «хорошо» выставляется, если не дан ответ на один теоретический вопрос.

Оценка «удовлетворительно» выставляется, если не даны ответы на два теоретических вопроса.

Оценка «неудовлетворительно» выставляется, если не дан ответ ни на один теоретический вопрос.

3. Оценочные материалы итогового контроля (промежуточной аттестации) и критерии оценивания

Промежуточная аттестация по дисциплине проводится в форме устного зачета, состоящего из трех вопросов.

Первая часть содержит один вопрос, проверяющий ИОПК 3.1, ИОПК 3.2. Ответ на вопрос дается в развернутой форме.

Вторая часть содержит один вопрос, проверяющий ИПК 3.1. Ответ на вопрос дается в развернутой форме.

Третья часть содержит один вопрос, проверяющий ИПК 3.2. Ответ на вопрос дается в развернутой форме.

В случае прохождения текущего контроля с оценкой «отлично» или «хорошо» студент освобождается от вопроса из первой части.

1. Архитектура перепрограммируемых интегральных схем FPGA-типа
2. Основные типы данных языка VHDL, управляющие конструкции, описание комбинаторной логики, процессы и параллелизм вычислений
3. Структурное описание разрабатываемого устройства, компоненты, их объявление и имплементация
4. Особенности описания тестирующего окружения на языке VHDL. Создание TestBench
5. Инструменты разработки для FPGA фирмы Xilinx
6. Создание проекта и его настройка, добавление VHDL-описания устройства в проект
7. Привязка портов разрабатываемого устройства к выводам FPGA-микросхемы, генерация кода и программирование FPGA-микросхемы
8. Задание временных ограничений
9. Параметры синтеза
10. Среда моделирования динамических систем Simulink. Описание Simulink HDL Coder.
11. Цифровой фильтр
12. Преобразователь параллельного кода в последовательный
13. Регистр с управляющим входом.
14. Различные модификации счетчиков
15. Работа с периферийными устройствами платы Spartan 3 Starter Kit
16. Основные этапы разработки устройства ввода-вывода.
17. Архитектура устройства, обеспечивающего ввод двоичного представления 8-ми разрядного числа и отображение его десятичного представления на 4-х позиционном индикаторе, имеющемся на плате Spartan 3 Starter Kit

Критерии оценивания:

Результаты устного опроса определяются оценками «зачтено», «не зачтено».

Оценка «зачтено» выставляется, если дан ответ хотя бы на один теоретический вопрос.

Оценка «не зачтено» выставляется, если не дан ответ ни на один теоретический вопрос.

4. Оценочные материалы для проверки остаточных знаний (сформированности компетенций)

Теоретические вопросы:

1. Архитектура перепрограммируемых интегральных схем FPGA-типа
2. Основные типы данных языка VHDL, управляющие конструкции, описание комбинаторной логики, процессы и параллелизм вычислений
3. Структурное описание разрабатываемого устройства, компоненты, их объявление и имплементация
4. Особенности описания тестирующего окружения на языке VHDL. Создание TestBench
5. Инструменты разработки для FPGA фирмы Xilinx
6. Создание проекта и его настройка, добавление VHDL-описания устройства в проект
7. Привязка портов разрабатываемого устройства к выводам FPGA-микросхемы, генерация кода и программирование FPGA-микросхемы
8. Задание временных ограничений
9. Параметры синтеза
10. Среда моделирования динамических систем Simulink. Описание Simulink HDL Coder.

Информация о разработчиках

Пономарев Олег Геннадьевич, кандидат физико-математических наук, доцент, Томский государственный университет, радиофизический факультет, кафедра радиофизики, доцент