

Министерство науки и высшего образования Российской Федерации  
НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ  
ТОМСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ (НИ ТГУ)

Институт прикладной математики и компьютерных наук

УТВЕРЖДАЮ:  
Директор

 А. В. Замятин

« 14 » июня 20 23 г.

Рабочая программа дисциплины

**Архитектура вычислительных систем**

по направлению подготовки

**02.03.03 Математическое обеспечение и администрирование информационных систем**

Направленность (профиль) подготовки :

**DevOps-инженерия в администрировании инфраструктуры ИТ-разработки**

Форма обучения

**Очная**

Квалификация

**Бакалавр**

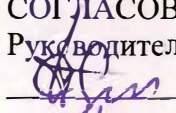
Год приема

**2023**


Код дисциплины в учебном плане: Б1.О.03.01

СОГЛАСОВАНО:

Руководитель ОП

 С.П.Сущенко

Председатель УМК

 С.П.Сущенко

Томск – 2023

## **1. Цель и планируемые результаты освоения дисциплины**

Целью освоения дисциплины является формирование следующих компетенций:

– ОПК-3 – Способен понимать и применять современные информационные технологии, в том числе отечественные, при создании программных .

ИОПК-3.1 Обладает необходимыми знаниями в области информационных технологий и программных средств.

Результатами освоения дисциплины являются следующие индикаторы достижения компетенций:

ИОПК-3.1 Знает принципы организации вычислительных систем, конвейерной, векторной и суперскалярной обработки, архитектуру современных процессоров, методы ускорения и распараллеливания вычислений, организацию иерархической памяти, способы построения КЭШ-памяти, архитектуру шинных интерфейсов, методы обеспечения отказоустойчивости и масштабирования памяти, систем хранения, виртуализации аппаратуры вычислительных систем, принципы организации многопроцессорных архитектур.

## **2. Задачи освоения дисциплины**

– Освоение студентами принципов организации вычислительных систем, иерархической памяти, многопроцессорных архитектур, методов обеспечения отказоустойчивости и масштабирования.

– Приобретение навыков применения теории вычислительных систем при проектировании и разработке приложений, распределении ресурсов и оценке операционных характеристик вычислителя, настройке приложений и сервисов на их эксплуатацию в заданных условиях.

## **3. Место дисциплины в структуре образовательной программы**

Дисциплина относится к обязательной части образовательной программы. Дисциплина входит в модуль «Компьютерные науки».

## **4. Семестр(ы) освоения и форма(ы) промежуточной аттестации по дисциплине**

Четвертый семестр, зачет

## **5. Входные требования для освоения дисциплины**

Для успешного освоения дисциплины требуются результаты обучения по следующим дисциплинам: дискретная математика, программирование, информатика.

## **6. Язык реализации**

Русский

## **7. Объем дисциплины**

Общая трудоемкость дисциплины составляет 2 з.е., 72 часов, из которых:

-лекции: 32 ч.

в том числе практическая подготовка: 0 ч.

Объем самостоятельной работы студента определен учебным планом.

## **8. Содержание дисциплины, структурированное по темам**

Тема 1. Организация вычислительных систем

Компоненты вычислителя. Однопроцессорные и многопроцессорные архитектуры. Классификация по Флинну. SISD-архитектура. SIMD-архитектура. MISD-архитектура.

MIMD-архитектура. Принципы организации CISC, RISC, VLIW процессоров. Технология СМТ. Источники параллелизма компьютерных вычислений. Классификация вычислительных систем по уровням параллелизма (классификация по Треливену). Подходы к организации многопроцессорных систем. CMP, SMP, MPP, CC-NUMA, вычислительные кластеры.

#### Тема 2. Архитектура микропроцессоров

Архитектурные приёмы, используемые при построении процессоров: конвейеризация, суперскалярная архитектура, неупорядоченное выполнение, спекулятивное и предикативное исполнение, переименование регистров, обход и продвижение данных, предсказание ветвлений, превращение CISC архитектуры в RISC, многоядерность, многопоточность. Строение КЭШ памяти процессора.

#### Тема 3. Шинные интерфейсы

Структура последовательного и параллельного шинного интерфейса. Способы разделения управляющих сигналов, адресных сигналов и передачи данных во времени для последовательных шин и в пространстве сигнальных линий параллельных шин. Эволюция системных шин. Шины ввода-вывода: шина PCI, шина PCI-X, шина PCI-E, шина AGP, интерфейс ввода-вывода на основе коммутатора, шина InfiniBand. Периферийные шины: шина EIDE, шина SATA, семейство шин SCSI, шина SAS, шина IEEE-1394, шина Fibre Channel, универсальная последовательная шина USB.

#### Тема 4. Подсистема памяти

Многоуровневая архитектура памяти. Статическая и динамическая память. КЭШ память. КЭШ прямого отображения. Полностью ассоциативный КЭШ. Множественно ассоциативный КЭШ. Выбор адресуемого объекта из КЭШ памяти. Структура адреса объекта при выборе из КЭШа (признак, индекс, номер байта в блоке). Многоуровневое построение КЭШ памяти. Методы построения КЭШ памяти различных уровней. Принципы организации оперативной памяти. Элемент динамической памяти. Массивы ячеек и структура микросхем динамической памяти. Блочное построение оперативной памяти для обеспечения конвейерного доступа к отдельным байтам слова. Классификация типов памяти случайного доступа. Физическое и логическое построение оперативной и дисковой памяти. Многоканальная память. Технологии FPM, EDO, BEDO, SDR SDRAM, DDR SDRAM, DDR2 SDRAM, DDR3 SDRAM. Типы модулей памяти. Механизмы обеспечения высокой отказоустойчивости оперативной памяти.

#### Тема 5. Методы обеспечения отказоустойчивости и масштабирования

Дисковые запоминающие устройства. Принципы работы энергонезависимых SSD-дисков. Преимущества и недостатки SSD-памяти. Методы реализации когерентности многоуровневой памяти многопроцессорных вычислительных систем. Методы защиты дисковой памяти от сбоев. Отказоустойчивые массивы дисков (RAID), уровни RAID. Методы виртуализации аппаратуры вычислительных систем. Аппаратная виртуализация, виртуализация средствами ОС, виртуализация на основе гипервизоров. Решение компания VM-Ware в области виртуализации серверных групп.

### **9. Текущий контроль по дисциплине**

Текущий контроль по дисциплине проводится путем контроля посещаемости, проведения контрольных работ, тестов по лекционному материалу, выполнения и презентации домашних заданий и фиксируется в форме контрольной точки не менее одного раза в семестр.

## 10. Порядок проведения и критерии оценивания промежуточной аттестации

Теоретические и практические результаты формируются компетенциями ИОПК-1.3 и результатами обучения:

№	Этапы формирования компетенций (разделы дисциплины)	Код и наименование результатов обучения
1.	Тема 1. Организация вычислительных систем	ИОПК-3.1
2.	Тема 2. Архитектура микропроцессоров	ИОПК-3.1
3.	Тема 3. Шинные интерфейсы	ИОПК-3.1
4.	Тема 4. Подсистема памяти	ИОПК-3.1
5.	Тема 5. Методы обеспечения отказоустойчивости и масштабирования	ИОПК-3.1

Зачет проводится в письменной форме по билетам. Экзаменационный билет включает теоретические вопросы, оценивающие достижение запланированных индикаторов, решение практических задач и интерпретацию полученных результатов. Структура зачета соответствует компетентностной структуре дисциплины.

### Примерный перечень теоретических вопросов

1. Зависимость операционных характеристик процессорного конвейера от количества фаз, накладных расходов конвейеризации, размера приложения.
2. Связь источников параллелизма с архитектурой вычислителя.
3. Влияние неоднородности процессорного конвейера и потока обрабатываемых команд на скорость выполнения приложения.
4. Сравнение параллельных и последовательных шинных интерфейсов.
5. Направления ускорения доступа к оперативной памяти.
6. Структура множественного ассоциативного кэша, назначение полей строки кэш-памяти.
7. Факторы, определяющие быстродействие иерархической памяти.
8. Сравнение стратегий вытеснения блоков кэш-памяти.
9. Сравнение характеристик HDD- и SSD-дисков.
10. Сравнение моделей состоятельности иерархической памяти.

### Типовые задания для проведения промежуточной аттестации по дисциплине.

1. Классификация ВС по Флинну.
2. Особенности построения CISC архитектуры.
3. Особенности построения RISC архитектуры.
4. Конвейеризация, фазы классического конвейера.
5. Зависимость длины конвейера и тактовой частоты процессора.
6. Явления, оказывающие негативное влияние на конвейеризацию.
7. Суперконвейеризация, гиперконвейеризация.
8. Суперскалярная архитектура и методы ее построения.
9. Методы предсказания ветвлений.
10. Предикативное и спекулятивное исполнение инструкций.
11. Переименование регистров.
12. Обход и продвижение данных.
13. Неупорядоченное исполнение.
14. Аппаратный скаутинг.
15. Аппаратная оптимизация циклов.
16. Многоядерность. Определение, виды, архитектурные свойства.
17. Гетерогенные многоядерные процессоры на примере Cell BE.
18. Классификация параллелизма: параллелизм на уровне инструкций и потоков.

19. Многопоточность одновременная.
20. Многопоточность попеременная с точным делением времени.
21. Многопоточность попеременная с неточным делением времени.
22. SMP системы.
23. CC-NUMA системы.
24. MPP системы.
25. КЭШ память прямой (сквозной) и отложенной (обратной) записи.
26. Раздельная и совместная (с точки зрения инструкций и данных) КЭШ память.
27. Включающий и исключающий методы построения КЭШ памяти.
28. Факторы, влияющие на выбор размера КЭШ памяти процессоров и ядер.
29. КЭШ прямого отображения.
30. Полностью ассоциативный КЭШ.
31. Множественно ассоциативный КЭШ.
32. Механизмы обеспечения когерентности КЭШ памяти, протокол MESI.
33. Механизмы обеспечения когерентности КЭШ памяти, протокол MOESI.
34. Механизмы обеспечения когерентности КЭШ памяти, протокол MESIF.
35. Организация оперативной памяти и методы адресации элементов (CAS, RAS).
36. Синхронный и асинхронный принципы работы оперативной памяти.
37. SDR, DDR, DDR2, DDR3 память.
38. Регистровая и буферизируемая память (registered DIMM, FB-DIMM).
39. Методы обеспечения отказоустойчивости оперативной памяти.
40. Физическая организация дисковой памяти.
41. Физическая и логическая адресация дисковой памяти.
42. Методы обеспечения отказоустойчивости физической памяти, уровни RAID.
43. Классификация шин по логическим и физическим топологиям.
44. Классификация шин по функциональному назначению.
45. Системные шины.
46. Шины ввода/вывода.
47. Периферийные шины.
48. Виртуализация: определение и методы.
49. Аппаратная виртуализация.
50. Виртуализация средствами ОС.
51. Виртуализация средствами гипервизоров.
52. Виртуализация серверных групп и ЦОД с использованием решения vSphere от компании VM-ware.
53. Организация SSD-памяти.

Результаты зачета определяются оценками «зачет», «незачет»

Итоговая оценка по предмету (зачет) выставляется следующим образом:

«Зачет» – студент не имеет неудовлетворительных оценок за контрольные работы, студент показал творческое отношение к обучению, в совершенстве овладел всеми теоретическими вопросами построения и вычислительных систем и их компонент, показал все требуемые умения и навыки в работе с дополнительными источниками информации и Интернет-ресурсами;

«Незачет» – студент сдал хотя бы одну контрольную работу на «неудовлетворительно», студент имеет существенные пробелы по отдельным теоретическим разделам дисциплины и не владеет навыками содержательного анализа методов построения вычислительных систем.

Во время зачета студент может повысить свою оценку, сдав заново соответствующую контрольную работу, при условии выполнения остальных требований к оценке.

### **11. Учебно-методическое обеспечение**

а) Электронный учебный курс по дисциплине в электронном университете «Moodle» - <https://moodle.tsu.ru/course/view.php?id=00000>

б) Оценочные материалы текущего контроля и промежуточной аттестации по дисциплине.

в) Методические указания по организации самостоятельной работы студентов приведены в электронном университете «Moodle».

### **12. Перечень учебной литературы и ресурсов сети Интернет**

а) основная литература:

– Танненбаум Э., Остин Т. Архитектура компьютера 6-е издание. СПб.: Питер, 2019. – 816 с.

– Сущенко С.П. Архитектура вычислительных систем. Томск: Издательский дом «СКК-Пресс», 2006. – 198 с.

б) дополнительная литература:

– Грейбо С.В., Новоселова Т.Е., Пронькин Н.Н., Семенычева И.Ф. Архитектура вычислительных систем. М.: МГМУ, 2019. – 77 с.

– Павлов А.В. Архитектура вычислительных систем. СПб: Университет ИТМО, 2016. – 86 с.

в) ресурсы сети Интернет:

– открытые онлайн-курсы

### **13. Перечень информационных технологий**

а) лицензионное и свободно распространяемое программное обеспечение:

– Microsoft Office Standart 2013 Russian: пакет программ. Включает приложения: MS Office Word, MS Office Excel, MS Office PowerPoint, MS Office OneNote, MS Office Publisher, MS Outlook, MS Office Web Apps (Word Excel MS PowerPoint Outlook);

– публично доступные облачные технологии (Google Docs, Яндекс диск и т.п.).

б) информационные справочные системы:

– Электронный каталог Научной библиотеки ТГУ –

<http://chamo.lib.tsu.ru/search/query?locale=ru&theme=system>

– Электронная библиотека (репозиторий) ТГУ –

<http://vital.lib.tsu.ru/vital/access/manager/Index>

– ЭБС Лань – <http://e.lanbook.com/>

– ЭБС Консультант студента – <http://www.studentlibrary.ru/>

– Образовательная платформа Юрайт – <https://urait.ru/>

– ЭБС ZNANIUM.com – <https://znanium.com/>

– ЭБС IPRbooks – <http://www.iprbookshop.ru/>

в) профессиональные базы данных:

– Университетская информационная система РОССИЯ – <https://uisrussia.msu.ru/>

– Единая межведомственная информационно-статистическая система (ЕМИСС) – <https://www.fedstat.ru/>

#### **14. Материально-техническое обеспечение**

Аудитории для проведения занятий лекционного типа.

Аудитории для проведения занятий семинарского типа, индивидуальных и групповых консультаций, текущего контроля и промежуточной аттестации.

Помещения для самостоятельной работы, оснащенные компьютерной техникой и доступом к сети Интернет, в электронную информационно-образовательную среду и к информационным справочным системам.

Аудитории для проведения занятий лекционного и семинарского типа индивидуальных и групповых консультаций, текущего контроля и промежуточной аттестации в смешенном формате («Актру»).

#### **15. Информация о разработчиках**

Сущенко Сергей Петрович, д-р техн. наук, профессор, кафедра прикладной информатики ИПМКН ТГУ, заведующий кафедрой.